



⑮ **BUNDESREPUBLIK  
DEUTSCHLAND**



**DEUTSCHES  
PATENTAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 197 04 044 A 1**

⑤① Int. Cl.<sup>6</sup>:  
**G 06 F 9/44**  
G 06 F 15/80

⑳ Aktenzeichen: 197 04 044.6  
㉔ Anmeldetag: 4. 2. 97  
㉓ Offenlegungstag: 13. 8. 98

**DE 197 04 044 A 1**

⑦① **Anmelder:**

Pact Informationstechnologie GmbH, 81545  
München, DE

⑦② **Erfinder:**

Vorbach, Martin, 76149 Karlsruhe, DE; Münch,  
Robert, 76149 Karlsruhe, DE

⑤⑥ **Entgegenhaltungen:**

DE 44 16 881 A1  
US 55 55 401  
WO 96 04 603 A1

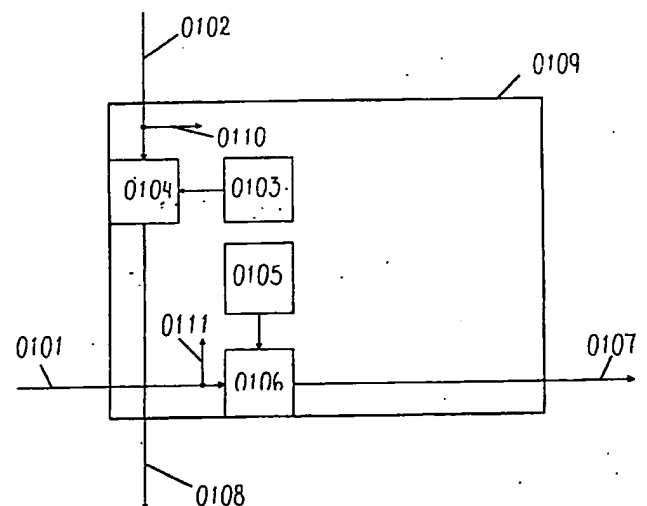
**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Verfahren zur automatischen Adressgenerierung von Bausteinen innerhalb Clustern aus einer Vielzahl dieser Bausteine**

⑤⑦ In Verbindung mit einem Verfahren zur dynamischen Adressgenerierung konfigurierbarer Bausteine, mit einer zwei- oder mehrdimensionalen Zellanordnung (zum Beispiel FPGAs, DPGAs, DFPs o. ä.) und deren Zellen (konfigurierbaren Elemente) wird vorgeschlagen, daß

1. jeder Baustein einen Adreßeingang für jede Dimension besitzt, durch den er seine Basisadresse, die die Adresse der ersten Zelle darstellt, erhält, wobei dann
2. anhand der Basisadresse die Baustein-internen Zellaadressen (Adressen der konfigurierbaren Elemente) berechnet werden, über die eine Ladelogik die konfigurierbaren Elemente anspricht, und wobei
3. über Adreßausgänge die Adresse der letzten Zelle plus eins, sowie je nach Ausgestaltung (siehe Unteransprüche) die Bausteinadresse plus eins, an die Nachfolgebau-  
steine weitergegeben wird und deren Grundadresse dar-  
stellt.



**DE 197 04 044 A 1**

## Beschreibung

## 1. Hintergrund der Erfindung

## 1.1 Stand der Technik

Werden programmierbare Bausteine (FPGAs, DPGAs, DFPs (gemäß Offenlegung DE 44 16 881 A1)), im folgenden der Einfachheit halber unter dem Begriff "Bausteine" zusammengefaßt, zu einem Cluster zusammengefügt, gibt es zwei Arten, die Programmierung vorzunehmen. Ein Cluster ist eine mehrdimensionale vernetzte Anordnung von Bausteinen oder Bausteingruppen.

- Für jeden Baustein steht eine Ladelogik zur Verfügung, mit deren Hilfe der Baustein programmiert wird. Das heißt, eine Ladelogik adressiert einen Baustein des Clusters. Diese Ladelogik kann als EPROM oder als ein Rechnersystem ausgeführt sein. Die Daten können in serieller Form oder parallel zum Baustein übertragen werden. Bei der parallelen Datenübertragung werden die Daten im Baustein in einen seriellen Bitstrom umgewandelt, der den Baustein konfiguriert.

- Für alle Bausteine des Clusters steht nur eine Ladelogik zur Verfügung. Die einzelnen Bausteine sind in der Art einer Daisy-Chain zusammengeschaltet. Die Programmierung erfolgt durch einen seriellen Bitstrom. Dabei wird von der Ladelogik nur der erste Baustein adressiert und die Daten werden durch eine serielle Leitung zu den Bausteinen des Clusters geschickt. Die Daten werden als Bitstrom durch alle Bausteine des Clusters hindurchgeleitet und konfigurieren so deren programmierbare Elemente. Die Übertragung der Konfigurationsdaten kann wieder in serieller oder paralleler Form erfolgen. Die Ladelogik kann wiederum als EPROM oder als ein Rechnersystem ausgeführt sein.

- Bei der Verwendung eines Rechnersystems besteht die Möglichkeit die Adressleitungen für ein Chipselect zu verwenden, um einzelne Bausteine getrennt zu adressieren und zu konfigurieren.

Bei einem Parallelrechner wird jedem seiner Prozessoren eine feste Adresse zugewiesen, über die eine Adressierung erfolgt.

## 1.2 Probleme

Die bisherigen Verfahren zur Adressierung eines Bausteins weisen eine Reihe von Problemen und Schwächen auf.

- Durch die Art der Adressierung wird die tatsächliche Anordnung der Bausteine nicht repräsentiert.
- Es ist nicht möglich, ein einzelnes Element eines beliebigen Bausteins im Cluster zu adressieren, um eine Umkonfiguration vorzunehmen. Es kann immer nur ein gesamter Baustein adressiert und im Gesamten umkonfiguriert werden.
- Durch die feste Zuordnung der Adressen der einzelnen Prozessoren bei einem Parallelrechner, ergibt sich eine statische Zuordnung der Adressen. Außerdem entsteht ein hoher Aufwand bei der Vergabe der Adressen für die einzelnen Prozessoren.

## 1.3 Verbesserung durch die Erfindung

Mit Hilfe der Erfindung lassen sich einzelne konfigurierbare Elemente eines Bausteins adressieren. Damit ist es möglich, die einzelnen Elemente direkt für eine Umkonfigurierung anzusprechen. Dies ist eine Voraussetzung, um Teile des Bausteins durch eine externe Ladelogik umkonfigurieren zu können und nicht die gesamte Konfiguration des Bausteins verändern zu müssen. Außerdem werden die Adressen für die einzelnen Elemente der Bausteine automatisch in X- und Y-Richtung generiert, so daß die tatsächliche Anordnung der Bausteine und konfigurierbaren Elemente repräsentiert wird. Durch die automatische Adressgenerierung ist eine manuelle Vergabe der Adressen nicht notwendig.

Die Einzelheiten und besondere Ausgestaltungen, sowie Merkmale des erfindungsgemäßen Adressgenerierung sind Gegenstand der Patentansprüche.

## 2. Beschreibung der Erfindung

## 2.1 Übersicht über die Erfindung, Abstrakt

Ein Cluster enthält eine Vielzahl an konfigurierbaren Bausteinen, die jeweils zwei Eingänge zum Empfang der X-Adresse des letzten Elements des vorhergehenden Bausteins in X-Richtung (Reihe) und der Y-Adresse des letzten Elements des vorhergehenden Bausteins in Y-Richtung (Spalte) besitzen, sowie jeweils zwei Ausgänge, um die Position des letzten Elements des Bausteins in X-Richtung und um die Position des letzten Elements in Y-Richtung dem nachfolgenden Baustein weiterzugeben.

Der Ursprung des Koordinatensystems liegt für diese Schrift dabei in der linken oberen Ecke des Clusters, so daß die X-Adresse nach rechts und die Y-Adresse nach unten hin größer wird. Selbstverständlich kann für den Ursprung des Koordinatensystems auch eine andere Position gewählt werden.

Jeder der Bausteine des Clusters enthält eine Logik, zur Berechnung der X- und Y-Adresse der letzten Zelle des Bausteins. Diese Logik besteht aus jeweils einem Register für die X- und Y-Adresse, in dem die maximale Zahl der Elemente in X- und Y-Richtung des Bausteins gespeichert ist und einem Addierer, der die Adresse des letzten Elements des Bausteins in X- und Y-Richtung berechnet und über die beiden Ausgänge weitergibt. Jeder Baustein enthält wiederum eine

Vielzahl an konfigurierbaren Elementen, die eine Adresse zugewiesen bekommen und mit dieser Adresse innerhalb des Bausteins und des Clusters adressierbar sind. Die Adresse des Elements wird aus der Adresse des vorhergehenden Elements in X-Richtung und in Y-Richtung berechnet. Dadurch entsteht ein linearer Adressraum, in dem alle Elemente der Bausteine des Clusters adressierbar sind. Die Adresse des vorhergehenden Elements kann von einem Element dieses Bausteins oder des vorhergehenden Bausteins stammen. Um nun innerhalb eines Clusters ein Element in einem Baustein adressieren zu können, enthält jedes Element einen Vergleicher, in dem überprüft wird, ob eine von außen kommende Adresse mit der Adresse des Elements übereinstimmt. 5

## 2.2 Detailbeschreibung der Erfindung

Eine Vielzahl von konfigurierbaren Bausteinen wird zu einem Cluster zusammengefügt. Die konfigurierbaren Bausteine sind in Spalten und Reihen angeordnet. In den einzelnen Bausteinen ist wiederum eine Vielzahl von konfigurierbaren Elementen enthalten. 10

Jeder Baustein des Clusters steht über zwei Busse mit seinen Nachbarn in den Reihen und über zwei Busse mit seinen Nachbarn in den Spalten in Verbindung. Dabei dient ein Bus zum Empfang der Adressdaten vom vorhergehenden Nachbarn und ein Bus zum Versenden der Daten zum nachfolgenden Nachbarn. Über diese Leitungen werden die X-Adresse (Position innerhalb der Reihe) des letzten Elements des vorhergehenden Bausteins in X-Richtung und die Y-Adresse (Position innerhalb der Spalte) des letzten Elements des vorhergehenden Bausteins in Y-Richtung übertragen. Dies kann über eine serielle Leitung oder über mehrere Leitungen, deren Anzahl abhängig von der Anzahl der Bausteine des Clusters und den in den Bausteinen enthaltenen Elementen ist, parallel geschehen. 15

Eine Logik innerhalb des Bausteins berechnet die Adresse des letzten Elements des Bausteins in X-Richtung und des letzten Elements des Bausteins in Y-Richtung. Dazu wird zu der in einem Register gespeicherten Anzahl der Elemente in X-Richtung (Y-Richtung) die Adresse des letzten Elements in X-Richtung (Y-Richtung) des vorhergehenden Bausteins durch einen Addierer hinzugezählt. Damit ergibt sich die Adresse, die der maximalen Ausdehnung der Elemente in X, Y-Richtung innerhalb des Bausteins entspricht. Diese Adresse wird an den nächsten Baustein weitergegeben. Es werden jeweils ein Register und ein Addierer pro Richtung benötigt. Die Bausteine der ersten Spalte und der ersten Reihe des Clusters, müssen durch ein externes Signal die Basisadresse für die Elemente zugewiesen bekommen, da sie dort keine direkten Vorgänger besitzen. 20

Für die in den Bausteinen enthaltenen konfigurierbaren Elemente wird eine Adresse aus der Adresse des vorhergehenden Elements berechnet. Dieses vorhergehende Element kann im selben oder in dem vorhergehenden Baustein liegen. Zur Übertragung der Adressen sind auch die Elemente analog zu den Bausteinen, durch eine oder mehrere Leitungen miteinander verbunden. Auch hier kann die Übertragung der Adresse, wie bei den Bausteinen, seriell oder parallel erfolgen. Bei der Berechnung der Elementadresse wird zur Adresse des vorhergehenden Elements in X-Richtung (Y-Richtung) eine Eins hinzuaddiert. Um ein Element adressieren zu können, enthält jedes Element einen Vergleicher, mit dem überprüft wird, ob die Adresse des Elements mit einer von extern (von einer Ladelogik) oder intern gelieferten Adresse, die ein Element eines Bausteins des Clusters zur Umkonfiguration o. ä. ansprechen soll, übereinstimmt. In diesem Vergleich wird die X- und Y-Adresse des Elements mit der zur Adressierung anliegenden X- und Y-Adresse verglichen. Dies geschieht in jeweils einem Komparator oder in einem Komperator für beide Adressen zugleich. Die Ausgänge der Komparatoren werden über ein UND-Gatter verknüpft und bilden das Enable Signal für das konfigurierbare Element. Das heißt, das Element wird nur angesprochen, wenn das externe Adresssignal (von einer Ladelogik) mit der automatisch generierten Adresse des Elements übereinstimmt. 25

Es wäre selbstverständlich möglich die Logik zur Berechnung der Adresse des letzten Elements in X- und Y-Richtung wegzulassen. Dazu muß die von dem letzten Element in X- und Y-Richtung berechnete Adresse herausgeführt und zum nächsten Baustein weitergeleitet werden. 30

Weiterhin wäre denkbar, den Cluster nicht nur in 2 Dimensionen (X- und Y-Richtung) aufzubauen, sondern noch die dritte (Z-Richtung), oder mehrere Dimensionen hinzuzunehmen. Jeder Baustein benötigt dann ein weiteres Register für jede Dimension, in dem die Anzahl der konfigurierbaren Elemente des Bausteins in dieser Dimension gespeichert wird, sowie einen weiteren Addierer für jede Dimension zur Berechnung der Adresse des letzten Elements in X- und Y-Richtung innerhalb des Bausteins in dieser Dimension. 35

Damit entsteht ein N-dimensionales Array. Diese weiteren Dimensionen, außer der Z-Richtung, besitzen natürlich keine physikalische Repräsentation mehr, sondern werden nur durch eine Erweiterung des Adressraumes auf N-Dimensionen beschrieben. Dieselbe Erweiterung des Adressraumes auf N-Dimensionen ist auch für die konfigurierbaren Elemente innerhalb eines Bausteins denkbar. 40

## 3. Kurzbeschreibung der Diagramme

Fig. 1

- Baustein mit automatischer Adressgenerierung.
- Logik zur Adressgenerierung mit parallelem Eingangssignal und Ausgangssignal.
- Logik zur Adressgenerierung mit seriellem Eingangssignal und Ausgangssignal.
- Verschaltung zweier hintereinander folgender Logiken zur Adressgenerierung.
- Signalverlauf der Daten- und Enable Signale bei der Verschaltung zweier Logiken zur Adressgenerierung.

Fig. 2 Baustein mit automatischer Adressgenerierung und mehreren konfigurierbaren Elementen.

Fig. 3

- Logik zur Adressgenerierung und Adressierung eines Elements innerhalb eines Bausteins, bei paralleler Über-

tragung der Adresse.

b) Logik zur Adressgenerierung und Adressierung eines Elements innerhalb eines Bausteins bei serieller Übertragung.

c) Serieller Addierer

5

Fig. 4 Cluster aus mehreren Bausteinen und ihre Verschaltung miteinander.

Fig. 5

a) Baustein mit mehreren konfigurierbaren Elementen und einer alternativen Art der Adressierung.

10

b) Logik zur Adressierung eines Elements innerhalb eines Bausteins bei alternativer Adressierung.

Fig. 6 Cluster mit nicht vollständigen Reihen oder Spalten.

#### 4. Detailbeschreibung der Diagramme

15

Fig. 1a) zeigt einen Baustein 0109 eines Clusters. Über die Verbindung 0101 erhält er die X-Position des letzten Elements in X-Richtung vom vorherigen Baustein. Die Y-Position wird über die Verbindung 0102 in den Baustein übertragen. Im Register 0105 wird die Anzahl der Elemente in X-Richtung gespeichert, anschließend wird mit Hilfe eines Addierers 0106 zu dieser Anzahl die an Verbindung 0101 anliegende Adresse hinzuaddiert. Mit der Y-Adresse wird in analoger Weise verfahren. Das Register 0103 speichert die Anzahl der Elemente des Bausteins in Y-Richtung und im Addierer 0104 wird die über die Verbindung 0102 anliegende Adresse hinzuaddiert. Diese beiden neuen, automatisch generierten Werte bilden die X- und Y-Basisadresse des in X- und Y-Richtung nachfolgenden Bausteins. Sie stehen über die Verbindung 0107 für die X-Adresse, 0108 für die Y-Adresse dem nachfolgenden Baustein zur Verfügung. Die Verbindungen 0110 und 0111 dienen zur Übertragung der Y- und X-Adresse innerhalb des Bausteins, um für die Berechnung der Adressen der konfigurierbaren Elemente zur Verfügung zu stehen.

20

b) zeigt die Logik bei parallel übertragenem Eingangs- und Ausgangssignal, um die Adresse des letzten Elements in X-Richtung (Y-Richtung) des Bausteins zu berechnen. Über den Bus 0112 werden die Daten der Anzahl der konfigurierbaren Elemente des Bausteins in X-Richtung (Y-Richtung) aus dem Register 0114 zum Addierer 0115 übertragen. Dort wird die Adresse des letzten Elements des vorhergehenden Bausteins in X-Richtung (Y-Richtung) 0113 hinzuaddiert. Vom Addierer 0115 wird die berechnete Adresse über den Bus 0116 zum nächsten Baustein weitergegeben.

30

c) zeigt die Logik zur Speicherung und Berechnung der Adresse bei einem seriellen Eingangs- und Ausgangssignal. Die Daten der Adresse des vorhergehenden Bausteins in X-Richtung (Y-Richtung) werden seriell über eine Leitung 0118 übertragen. Über die Leitung 0119 wird das Taktsignal des Bausteins übertragen. Der serielle Datenstrom der Leitung 0118 gelangt zum Addierer 0124, der die im Baustein gespeicherte Anzahl der Elemente sequentiell hinzuaddiert. Dazu wird die in Register 0121 gespeicherte Anzahl der Elemente beim Start in das Schieberegister 0120 geladen. Das Schieberegister 0120 wird wiederum durch den Takt 0119 gesteuert, so daß es die einzelnen Bits der Adresse synchron zu den Bits des Datenstroms auf Leitung 0118 zum Addierer 0124 schickt. Die Daten des Schieberegisters werden mit der positiven Taktflanke weitergeschoben. Im Addierer 0124 werden die einzelnen Bits nacheinander addiert und wieder sequentiell zum Ausgangsflipflop 0123 weitergeschickt. Über die Leitung 0125 werden diese Daten zum nächsten Baustein übertragen. Das Flipflop 0126 dient zur Speicherung des bei der Addition der beiden Bits anfallenden Übertrags, der bei der Addition der nächsten beiden Bits wieder berücksichtigt werden muß. Das Ausgangsflipflop 0123 und das Flipflop 0126 übernehmen Daten mit der negativen Taktflanke. Über die Verbindung 0117 wird ein Enable Signal zu den Flipflops 0122, 0123, 0126 und dem Schieberegister 0120 geleitet. Das Flipflop 0122 übernimmt das Enable Signal mit der negativen Taktflanke und gibt es über die Leitung 0127 zu den nachfolgenden Bausteinen weiter.

45

Die Datenübertragung verläuft nun folgendermaßen. Die Daten werden über die Leitung 0118 eingelesen. Gleichzeitig kommt über die Leitung 0117 ein Enable Signal, das dieselbe Länge wie die übertragenen Daten besitzt. Im Addierer 0124 wird nun die neue Adresse berechnet und über das Flipflop 0123 zum nächsten Baustein übertragen. Das Enable Signal wird über das Flipflop 0122 zum nächsten Baustein geleitet. Durch die Übernahme der Daten und des Enable Signals mit der negativen Flanke in die Flipflops, gelangen diese beiden Signale mit einem halben Takt Verzögerung zum nächsten Baustein.

50

d) zeigt anhand eines Timing-Diagramms wie zwei Logiken zur Adressgenerierung verschaltet werden. Diese Logiken sind in jeweils einem Baustein 0130 untergebracht. Beide Logiken haben denselben Aufbau aus einem Addierer 0134, 0140 mit Flipflop 0131, 0142 zur Speicherung des Carry Bits, einem Ausgangsflipflop 0135, 0141, einem Flipflop zur Übernahme des Enable Signals 0136, 0143 sowie einem Register, in dem die Anzahl der Elemente des Bausteins gespeichert ist 0133, 0139 und einem Schieberegister 0132, 0138. Der Unterschied zwischen den beiden Logiken besteht darin, daß die Flipflops 0141, 0142, 0143 und das Schieberegister 0138 der zweiten Logik mit der anderen Taktflanke gesteuert werden, als die Flipflops 0131, 0135, 0136 und das Schieberegister 0132 der ersten Logik. Dies kann wie in der Figur dargestellt durch die Invertierung von jedem Takteingang der Flipflops und des Schieberegisters oder durch die Invertierung des Taktsignals erfolgen. Damit ist sichergestellt, daß die Daten korrekt von den Flipflops und den Schieberegistern übernommen werden.

60

Bei der Verschaltung mehrerer Logiken (d. h. mehrere konfigurierbare Elemente hintereinander) wird die Taktflanke mit der die Daten in die Flipflops und die Schieberegister übernommen werden immer abgewechselt. Dadurch erfolgt eine korrekte Datenübernahme und das Datenpaket wird durch die Bausteine hindurchgeleitet.

65

e) zeigt den Signalverlauf des Daten- und Enable Signals für den Fall der Verschaltung mehrerer Logiken. Das Signal CLK 0144 stellt das Taktsignal des Bausteins dar. D1 0145 und E1 0146 stellen das Daten- und Enable Signal am Eingang der ersten Logik dar. D2 0147 und E2 0148 sind die Daten und Enable Signale am Ausgang der ersten Logik. Sie sind um einen halben Takt gegenüber den Signalen am Eingang verzögert, da sie von den Flipflops und dem Schieberegister erst mit der abfallenden Taktflanke übernommen werden (vgl. Fig. 1d). Gleichzeitig bilden sie die Eingangssignale

für die nachfolgende Logik zur Adressberechnung. Dort werden sie wieder um einen halben Takt verzögert und gelangen zum Ausgang, wo sie die Signale D3 0149 und E3 0150 bilden.

Fig. 2 stellt einen Baustein 0212 eines Clusters mit mehreren konfigurierbaren Elementen 0211 dar. Jedes dieser Elemente 0211 besitzt konfigurierbare Zellen und zur Konfiguration verwendete Elemente 0210. Außerdem enthält jedes Element 0211 einen Vergleichler nach PACT02 Fig. 3 0301 und eine Logik zur Berechnung der Elementadresse 0209, wobei der Vergleichler für die Dekodierung der Adresse bei einem Zugriff auf ein Element zuständig ist. Damit wird die Adressierung der einzelnen Elemente eines Bausteins ermöglicht. Zusätzlich enthält der Baustein eine Logik zur automatischen Adressgenerierung 0207, die wie in Fig. 1 ausgeführt ist. Die Y-Adresse des letzten Elements des vorhergehenden Bausteins in Y-Richtung gelangt über den Bus 0201 in den Baustein 0212 und wird in der Logik zur automatischen Adressgenerierung 0207 weiterverarbeitet. Über die Verbindung 0205 wird diese Adresse zu den Elementen 0211 der ersten Reihe des Bausteins übertragen. Die Leitung 0203 dient zur Übertragung der Y-Adresse des letzten Elements dieses Bausteins in Y-Richtung zum nächsten Baustein in Y-Richtung. Die X-Adresse des letzten Elements des vorhergehenden Bausteins in X-Richtung gelangt über die Verbindung 0202 in den Baustein 0212 und wird in der Logik zur automatischen Adressgenerierung 0208 weiterverarbeitet. Sie wird über die Verbindung 0206 zu den Elementen 0211 der ersten Spalte des Bausteins 0212 übertragen. Die Leitung 0204 dient zur Übertragung der X-Adresse des letzten Elements dieses Bausteins zum nächsten Baustein.

Über den Bus 0213 gelangt die Adresse des Elements, das für eine Umkonfigurierung o. ä. angesprochen werden soll, zu den Zellen 0211.

Bei der Adressierung wäre es auch möglich auf die Logik zur automatischen Adressgenerierung 0207, 0208 zu verzichten. Dazu muß die Y-Adresse des letzten Elements des Bausteins und die X-Adresse des letzten Elements des Bausteins herausgeführt werden, um die Adressdaten an den nächsten Baustein weiterzugeben. Diese Signale ersetzen dann die Signale 0203, 0204.

Fig. 3a) zeigt den Aufbau des Vergleichlers und der Adressgenerierung der Elemente 0211 aus Fig. 2 bei paralleler Übertragung der Adressdaten. Zur der über die Verbindung 0302 anliegende X-Adresse des vorhergehenden Elements wird im Addierer 0305 eine Eins 0303 hinzuaddiert. Diese X-Adresse wird im Komparator 0309 mit der von außen kommenden X-Adresse 0307 verglichen. Im Addierer 0306 wird der über die Verbindung 0301 anliegende Y-Adresse des vorhergehenden Elements eine Eins 0304 hinzuaddiert. Anschließend vergleicht der Komparator 0310 den Wert mit der über die Verbindung 0308 anliegenden Y-Adresse des zu adressierenden Elements. Über ein UND-Gatter 0311 wird das Signal 0312 zur Aktivierung des Elements erzeugt. Die Verbindung 0314 dient zur Übertragung der berechneten X-Adresse zum nachfolgenden Element. Die Y-Adresse wird über die Verbindung 0313 übertragen.

b) zeigt den Aufbau des Vergleichlers und der Adressgenerierung der Elemente 0211 aus Fig. 2 bei serieller Übertragung der Adressdaten. Dazu wird zum seriellen Bitstrom der Adresse des vorhergehenden Elements in X-Richtung 0315 in der Logik zur Adressgenerierung 0317 eine Eins seriell hinzuaddiert und die Adresse in einem Schieberegister gespeichert. Die Logik bekommt das Taktsignal des Bausteins durch die Leitung 0327. Über die Leitung 0321 wird die Adresse seriell zum nachfolgenden Element übertragen. Im Komparator 0319 wird die in 0317 gespeicherte Adresse mit der über die Leitung 0325 anliegenden X-Adresse des zu adressierenden Elements verglichen. Das Ganze geschieht analog für die Y-Adresse. Der von der vorhergehenden Zelle in Y-Richtung seriell übertragene Y-Adresse 0316 wird in der Logik zur Adressgenerierung 0318 eine Eins hinzuaddiert. Die Logik bekommt das Taktsignal des Bausteins durch die Leitung 0328. Über die Verbindung 0322 wird die Adresse seriell zum nachfolgenden Element in Y-Richtung transportiert. Im Komparator 0320 wird die in 0318 gespeicherte Adresse mit der über die Verbindung 0326 anliegende Y-Adresse des zu adressierenden Elements verglichen. Die Ausgänge der beiden Komparatoren 0319, 0322 werden über ein UND-Gatter 0323 verknüpft und bilden das Enable Signal 0324 für das konfigurierbare Element.

c) zeigt die Logik zur Adressgenerierung 0317, 0318 aus Fig. 3b. Die Adresse gelangt über die Leitung 0329 zum Addierer 0332. Das Flipflop 0334 dient zum Speichern des Übertrags, der bei der Addition entsteht. Es übernimmt den Übertrag immer mit der negativen Flanke des Taktsignals 0330. Außerdem ist dieses Flipflop anfangs auf eins gesetzt, so daß bei der Addition des ersten Bit eine Eins addiert wird. Die neu berechnete Adresse wird zum nachfolgenden Schieberegister 0337 und zum Ausgangsflipflop 0336 geschickt. Dort werden sie mit der negativen Taktflanke übernommen. Das Schieberegister 0337 speichert die einzelnen Bits, so daß am Ende der Übertragung die Adresse des Elements im Schieberegister gespeichert ist. Diese wird dann über die Leitung 0339 zum Komparator weitergegeben. Über die Leitung 0333 werden die Daten der Adresse seriell zum nachfolgenden Element geschickt. Die Leitung 0331 überträgt ein Enable Signal an die Flipflops und das Schieberegister. Dieses Enable Signal läuft synchron mit dem Datensignal, das heißt wenn Daten gesendet werden wird gleichzeitig ein Enable Signal übertragen. Das Enable Signal wird vom Flipflop 0335 mit der negativen Taktflanke übernommen und von der Leitung 0338 zum nächsten Element übertragen. Die Datenübertragung verläuft wie in Fig. 1c beschrieben. Auch hier ist es erforderlich, wenn mehrere Logiken hintereinander geschaltet werden, den Takt oder die Takteingänge der Flipflops und Schieberegister bei jeder nachfolgenden Logik zu invertieren, so daß die Daten immer abwechselnd mit der ansteigenden und der abfallenden Flanke übernommen werden.

Fig. 4 zeigt die Verschaltung mehrerer Bausteine 0401 zu einem Cluster. Über die Verbindung 0402 werden die Y-Basisadressen der Bausteine am oberen Rand des Clusters initialisiert. Die X-Basisadressen der Bausteine am linken Rand des Clusters werden über die Verbindung 0403 initialisiert. Bei der parallelen Adressierung genügt es die Basisadressen an die Eingänge anzulegen. Für die Adressierung mit serieller Datenübertragung muß das Datenpaket mit der Basisadresse und ein Enable Signal seriell in den Baustein übertragen werden. Den im Inneren des Clusters liegenden Bausteinen, werden nach dem in Fig. 1 beschriebenen Verfahren automatisch X- und Y-Basisadressen über die Verbindungen zueinander zugewiesen. Die Verbindungen 0404 und 0405 dienen zur Übertragung der Größe des Clusters an externe Elemente. Die Verbindung 0404 dient zur Übertragung der Größe in X-Richtung und über die Verbindung 0405 wird die Größe des Clusters in Y-Richtung übertragen.

Fig. 5a) zeigt den Aufbau eines Bausteins 0501, der eine Vielzahl von konfigurierbaren Elementen 0514, die konfigurierbare und zur Konfiguration verwendete Zellen enthalten, sowie eine Logik zur automatischen Adressgenerierung 0506, 0508 enthält. Die Adressierung der Bausteine 0501 und konfigurierbaren Elemente 0514 erfolgt hierbei auf eine al-

ternative Art. Die Adresse besitzt folgenden Aufbau:

X-Pos Bausteins	X-Pos Element	Y-Pos Bausteins	Y-Pos Element
-----------------	---------------	-----------------	---------------

5

Die Daten der X- und Y-Adresse werden durch die Verbindungen 0502, 0503 in den Baustein 0501 übertragen. Außerdem werden sie noch in die Vergleicher 0507, 0509 weitergeleitet. Innerhalb des Bausteins 0501 werden sie von der Logik zur automatischen Adressgenerierung 0506, 0508 weiterverarbeitet. Bei der Weiterverarbeitung wird zur Adresse des Bausteins 0501 jeweils eine Eins in X- und Y-Richtung hinzugezählt und nicht wie bei der vorherstehenden Adressierungsart die Anzahl der Elemente in X- und Y-Richtung des Bausteins 0501. Durch die Verbindungen 0504, 0505 werden sie zum nachfolgenden Baustein weitergeleitet. Wird nun über die Leitung 0513 eine Adresse geschickt, so wird der Adressteil, der die Bausteine adressiert, an die Vergleicher 0507, 0509 geleitet. Der Teil der Adresse, der die Elemente 0514 adressiert, wird an die Elemente 0514 geleitet. In den Vergleichern 0507, 0509 wird nun die automatisch generierte Bausteinadresse mit der Bausteinadresse, die über die Leitung 0513 anliegt, verglichen und im Falle einer Übereinstimmung ein Signal zum UND-Gatter 0510 geschickt, das ein Enable Signal an die konfigurierbaren Elemente 0514 schickt. Die Vergleicher 0511 der Elemente 0514 vergleichen ihre Adresse mit der über die Verbindung 0513 anliegenden Adresse und aktivieren sie bei einer Übereinstimmung und einem anliegenden Enable Signal der Vergleicher 0507, 0509 des Bausteins.

b) zeigt die Logik zur Adressierung eines Elements (vgl. Vergleichers 0511), die für das alternative Adressierungsverfahren benötigt wird. Die Verbindungen 0515 und 0516 dienen zur Übertragung einer X- und Y-Adresse, mit deren Hilfe ein Element angesprochen werden soll. Diese beiden Werte werden in den Komparatoren 0519 und 0520 mit den in den Registern 0517 und 0518 gespeicherten X- und Y-Adressen des Elements verglichen. Selbstverständlich können die Adressen der Elemente 0514 auch auf die zuvor beschriebene Art (vgl. Fig. 3) erzeugt werden. Die Ausgänge der beiden Komparatoren 0519 und 0520 werden mit dem UND-Gatter 0521 verknüpft. Der Ausgang des UND-Gatters 0521 wird mit dem Enable Signal 0523 der Vergleicher der Bausteinadresse (vgl. Fig. 5a 0510) über ein UND-Gatter 0522 verknüpft und bildet das Enable Signal 0524 für die Elemente 0514 des Bausteins 0501.

Fig. 6 zeigt einen Cluster aus Bausteinen 0603, dessen Spalten und Reihen nicht vollständig sind. Dadurch ist eine etwas andere Verschaltung der Bausteine 0603 nötig, die in der Figur dargestellt wird. Die Verbindungen 0601 und 0602 dienen zur Initialisierung der Bausteine der ersten Reihe und Spalte, da sie keine Vorgänger in dieser Richtung besitzen. Über die Verbindungen 0604 und 0605 kann die Ausdehnung des Clusters in X- und Y-Richtung abgefragt werden.

## 5. Begriffsdefinition

Cluster Mehrdimensionale vernetzte Anordnung von Bausteinen oder -gruppen

35 DPGA Dynamisch konfigurierbare FPGA's. Stand der Technik

D-FlipFlop Speicherelement, welches ein Signal bei der steigenden Flanke eines Taktes speichert.

Elemente Sammelbegriff für alle Arten von in sich abgeschlossenen Einheiten, welche als Stück in einem elektronischen Baustein zum Einsatz kommen können. Elemente sind also:

- 40 – Konfigurierbare Zellen aller Art
- Cluster
- RAM-Blöcke
- Logik
- Rechenwerke
- 45 – Register
- Multiplexer
- I/O Pins eines Chips

Flag (Fahne). Statusbit in einem Register, das einen Zustand anzeigt.

50 FPGA Programmierbarer Logikbaustein. Stand der Technik.

Gatter Gruppe von Transistoren, die eine logische Grundfunktion durchführen. Grundfunktionen sind z. B. NAND, NOR, Transmission-Gates.

H-Pegel Logisch 1 Pegel, abhängig von der verwendeten Technologie

Kantenzone Zelle am Rand eines Zellarrays, oftmals mit direktem Kontakt zu den Anschlüssen eines Bausteins.

55 konfigurierbares Element. Ein konfigurierbares Element stellt eine Einheit eines Logik-Bausteins dar, welche durch ein Konfigurationswort für eine spezielle Funktion eingestellt werden kann. Konfigurierbare Elemente sind somit, alle Arten von RAM-Zellen, Multiplexer, Arithmetische logische Einheiten, Register und alle Arten von interner und externer Vernetzungsbeschreibung etc.

konfigurierbare Zelle. Siehe Logikzellen

60 Konfigurieren Einstellen der Funktion und Vernetzung einer logischen Einheit, einer (FPGA)-Zelle oder einer PAE (vgl. umkonfigurieren).

Konfigurationsdaten Beliebige Menge von Konfigurationsworten.

Konfigurationsspeicher. Der Konfigurationsspeicher enthält ein oder mehrere Konfigurationsworte.

Konfigurationswort. Ein Konfigurationswort besteht aus einer beliebig langen Bit-Reihe. Diese Bit-Reihe stellt eine gültige Einstellung für das zu konfigurierende Element dar, so daß eine funktionsfähige Einheit entsteht.

65 Ladelogik Einheit zum Konfigurieren und Umkonfigurieren der PAE. Ausgestaltet durch einen speziell an seine Aufgabe angepaßten Mikrokontroller.

Latch Speicherelement, das ein Signal für gewöhnlich während des H-Pegels transparent weiterleitet und während des L-

Pegels speichert.

In PAEs werden teilweise Latches gebraucht, bei denen die Funktion der Pegel genau umgekehrt ist. Hierbei wird vor den Takt eines üblichen Latch ein Inverter geschaltet.

Logikzellen: Bei DFPs, FPGAs, DPGAs verwendete konfigurierbare Zellen, die einfache logische oder arithmetische Aufgaben gemäß ihrer Konfiguration erfüllen.

L-Pegel Logisch 0 Pegel, abhängig von der verwendeten Technologie

Open-Kollektor Schaltungstechnik, bei der der Kollektor eines Transistors an einem, über einen Pullup auf den H-Pegel gezogenen, Bussignal liegt. Der Emitter der Transistors liegt auf Masse. Schaltet der Transistor, so wird das Bussignal auf den L-Pegel gezogen. Vorteil des Verfahrens ist, daß eine Mehrzahl solcher Transistoren den Bus ohne elektrische Kollision steuern können. Dabei sind die Signale ODER-verküpft, es entsteht das sog. wired-OR.

RS-FlipFlop Reset-/Set-FlipFlop. Speicherelement, das durch 2 Signale umgeschaltet werden kann.

serielle Operationen Operationen, die durch seriell Abarbeiten eines Datenwortes oder eines Algorithmus durchgeführt werden. Serielle Multiplikation, serielle Division, Reihenentwicklung

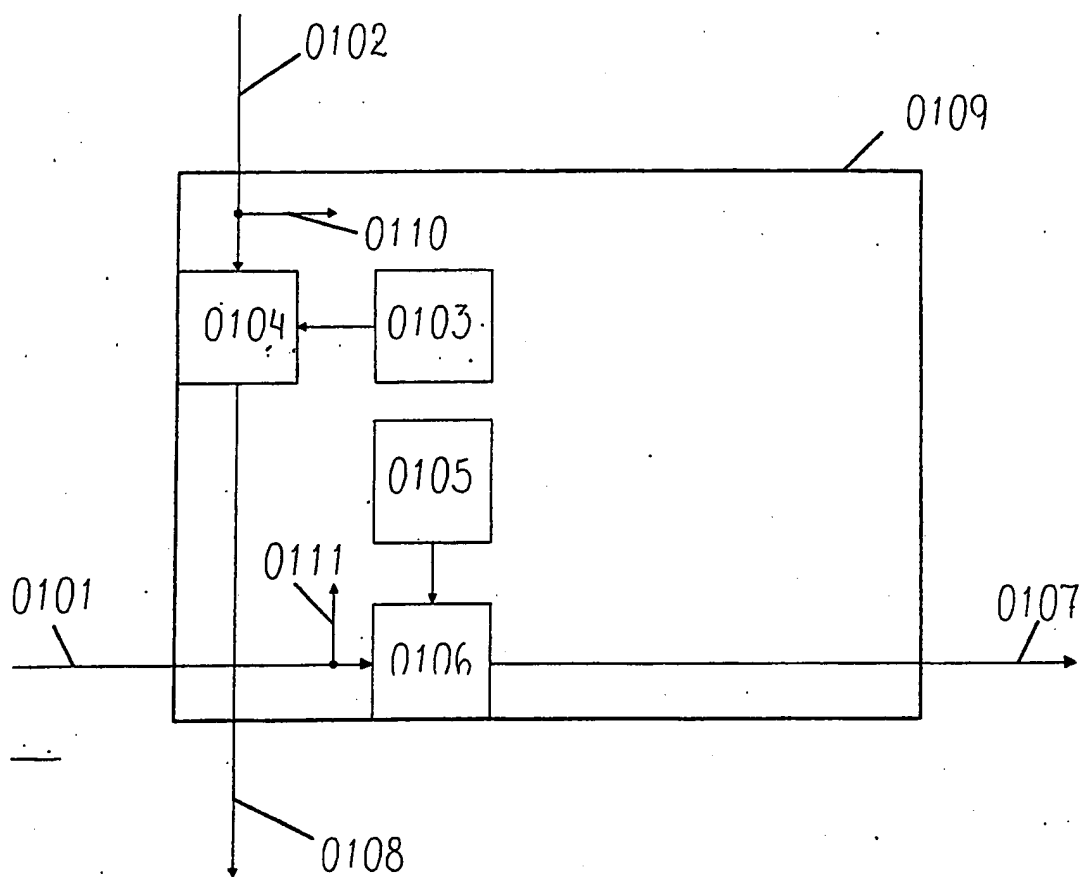
Umkonfigurieren: Neues Konfigurieren von einer beliebigen Menge von PAEs, während eine beliebige Restmenge von PAEs ihre eigenen Funktionen fortsetzen (vgl. konfigurieren).

Zellen siehe Logikzellen.

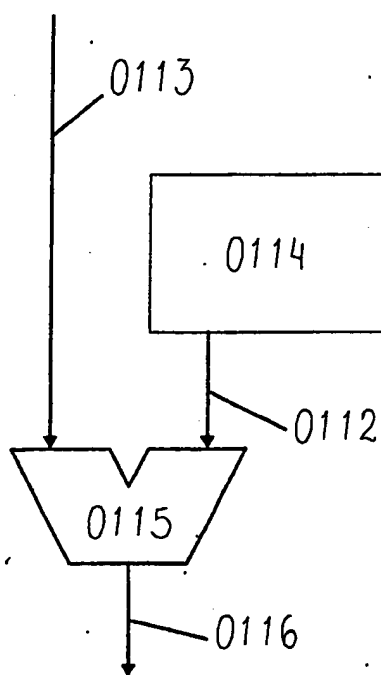
#### Patentansprüche

1. Verfahren zur dynamischen Adressgenerierung von konfigurierbarer Bausteinen, mit einer zwei oder mehrdimensionalen Zellanordnung (zum Beispiel FPGAs, DPGAs, DFPs o. ä.) und deren Zellen (konfigurierbaren Elemente), **dadurch gekennzeichnet**, daß
  1. jeder Baustein einen Adresseingang für jede Dimension besitzt, durch den er seine Basisadresse, die die Adresse der ersten Zelle darstellt, erhält,
  2. anhand der Basisadresse die baustein-internen Zelladressen (Adressen der konfigurierbaren Elemente) berechnet werden, über die eine Ladelogik die konfigurierbaren Elemente anspricht,
  3. über Adressausgänge die Adresse der letzten Zelle plus eins, sowie je nach Ausgestaltung (siehe Unteransprüche) die Bausteinadresse plus eins, an die Nachfolgebausteine weitergegeben wird und deren Grundadresse darstellt,
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Adressein-/ausgänge als parallele Busse ausgestaltet sind.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Adressein-/ausgänge als serielle Busse ausgestaltet sind.
4. Verfahren nach Anspruch 1-3, dadurch gekennzeichnet, daß die Eingangswerte in den Zellen des Zellarrays in jede Richtung weiterübertragen werden, wobei jede Zelle den Wert der Adresse um eins erhöht (vgl. Fig. 2).
5. Verfahren nach Anspruch 1-4, dadurch gekennzeichnet, daß je ein Addierer die Mächtigkeit des Zellarrays in der jeweiligen Richtung auf den Eingangswert plus eins aufaddiert und direkt an den Ausgang weitergibt (vgl. Fig. 1a).
6. Verfahren nach Anspruch 1-4, dadurch gekennzeichnet, daß die Eingangswerte in den Zellen des Zellarrays in jede Richtung weiterübertragen werden, wobei jede Zelle den Wert der Adresse um eins erhöht und der Ausgang der von der ersten Zelle am weitest entfernten Zelle, also der Zelle mit der höchsten Adresse in alle Richtungen, direkt auf die Adressausgänge des Bausteines geschaltet wird (vgl. Beschreibung von Fig. 2).
7. Verfahren nach Anspruch 1, 3, 4-6, dadurch gekennzeichnet, daß parallele Addierer verwendet werden (Fig. 1c-e).
8. Verfahren nach Anspruch 1, 3, 4-6, dadurch gekennzeichnet, daß serielle Addierer verwendet werden (Fig. 1c-e).
9. Verfahren nach Anspruch 1-8 dadurch gekennzeichnet, daß die Adressen in jeder Zelle über Vergleicher mit der von der Ladeinheit generierten Adresse verglichen wird, um einen Zugriff festzustellen (vgl. Fig. 3a, b, 5b).
10. Verfahren nach Anspruch 1-9 dadurch gekennzeichnet, daß die Adressen linear vergeben werden, wodurch ein linearer Adressraum aus Zellen über einer Gruppe von kaskadierten Bausteinen entsteht (vgl. Fig. 3).
11. Verfahren nach Anspruch 1-9 dadurch gekennzeichnet, daß die Adressen aus einem Offset für die Bausteine und einer linearen Adresse für die Zellen eines Bausteines bestehen, wodurch kein linearer Adressraum aus Zellen über einer Gruppe von kaskadierten Bausteinen entsteht (vgl. Fig. 5).

Hierzu 9 Seite(n) Zeichnungen

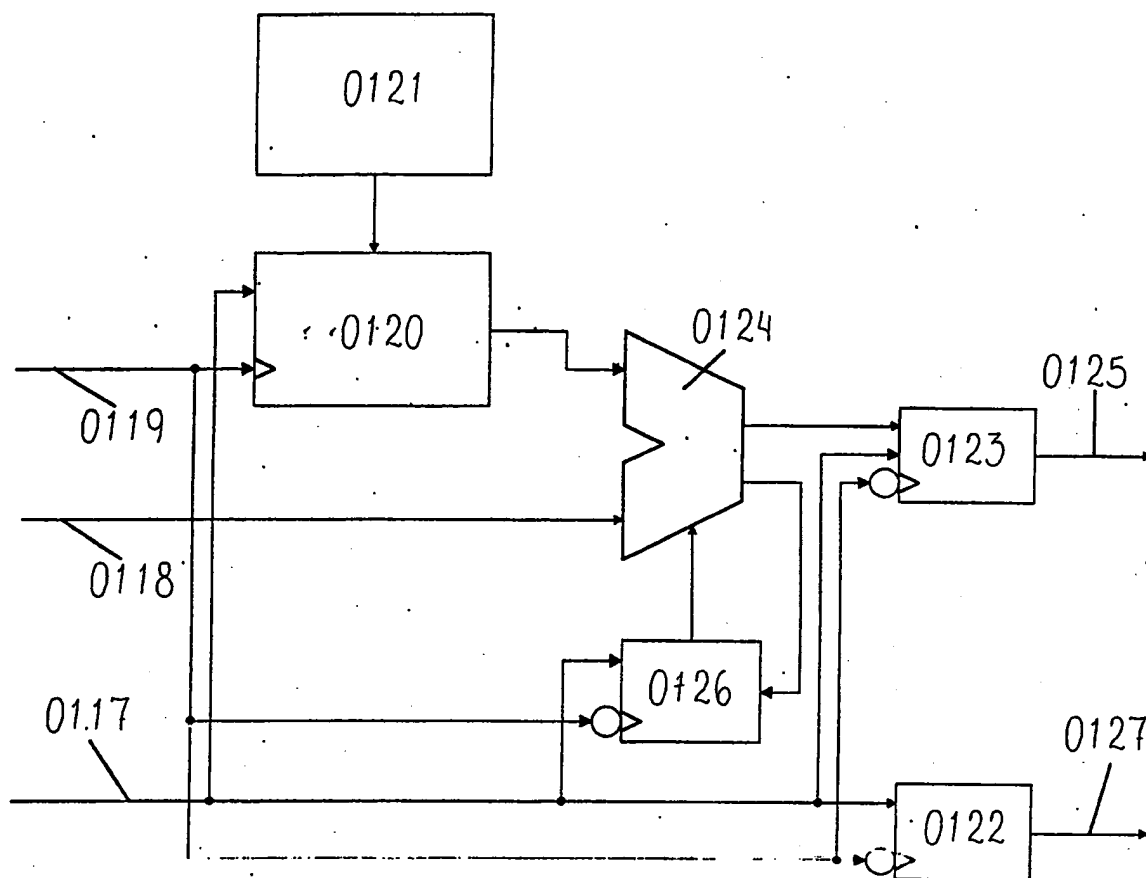


Figur 1a

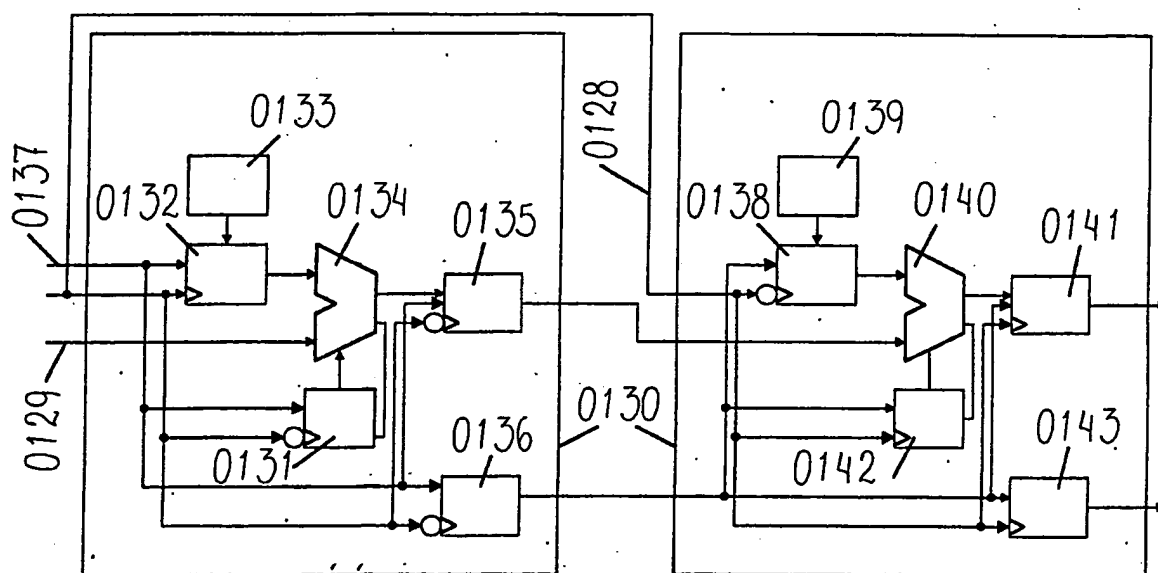


Figur 1b

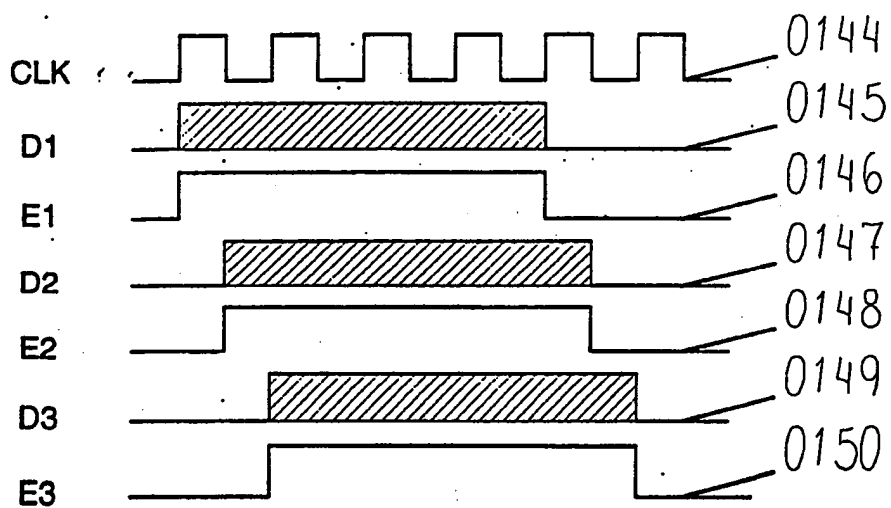




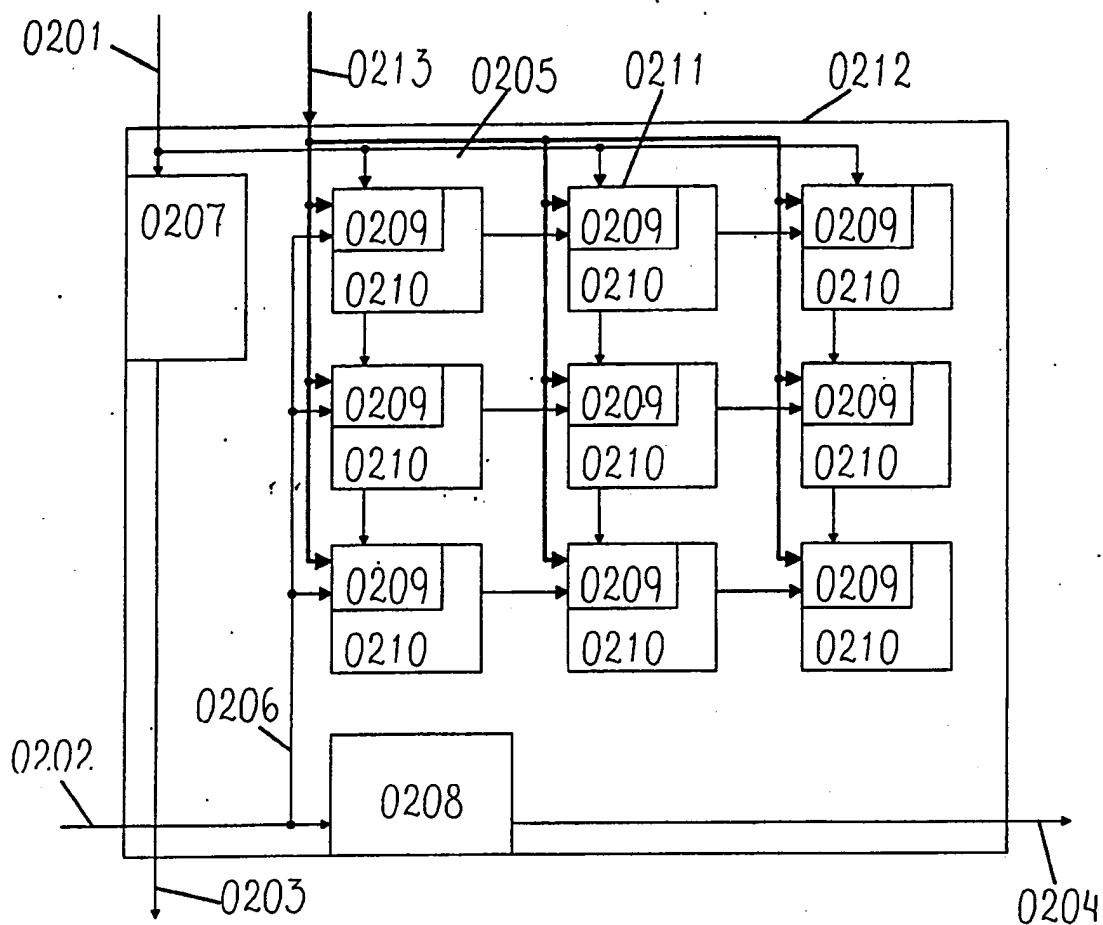
Figur 1c



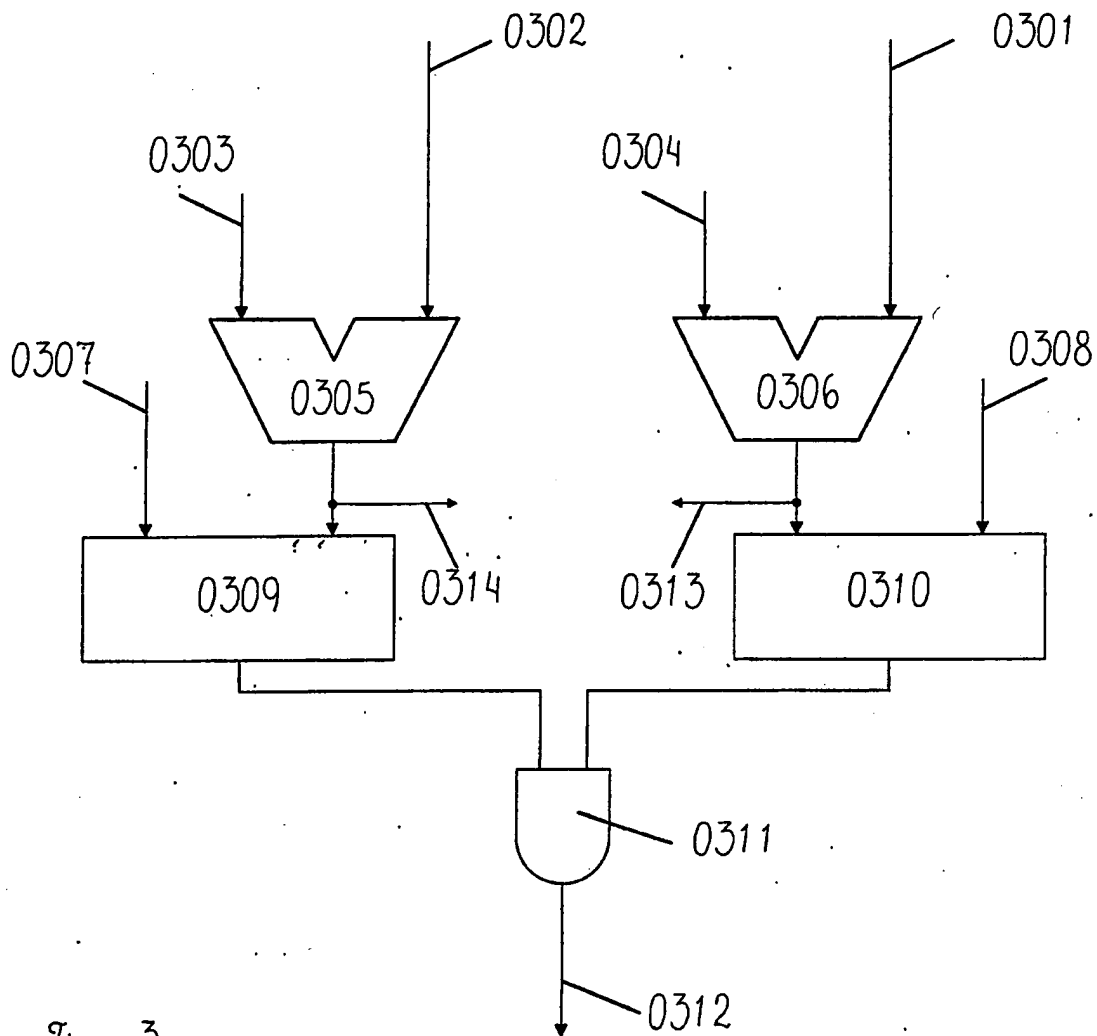
Figur 1d



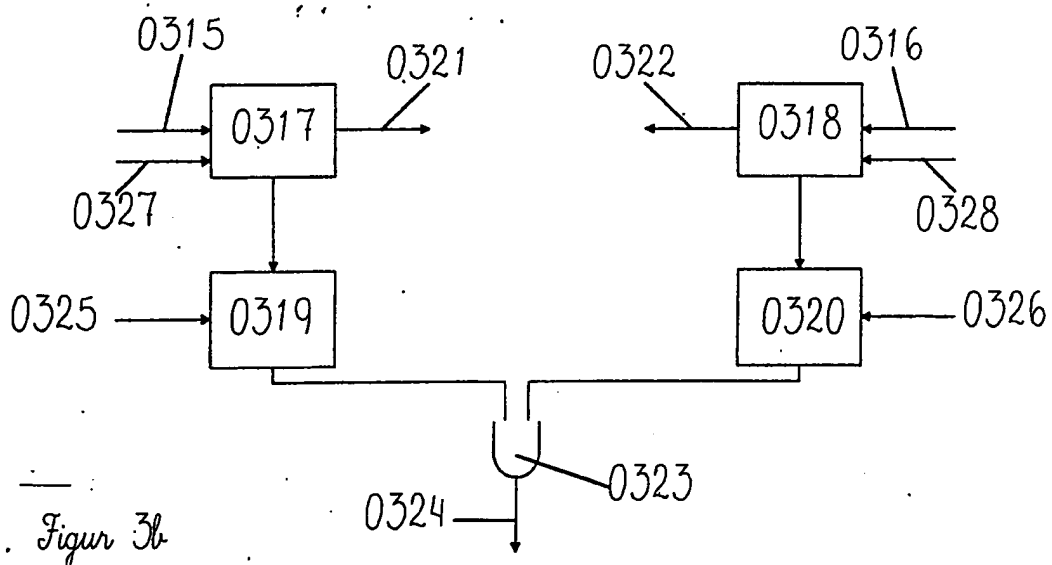
Figur 1c



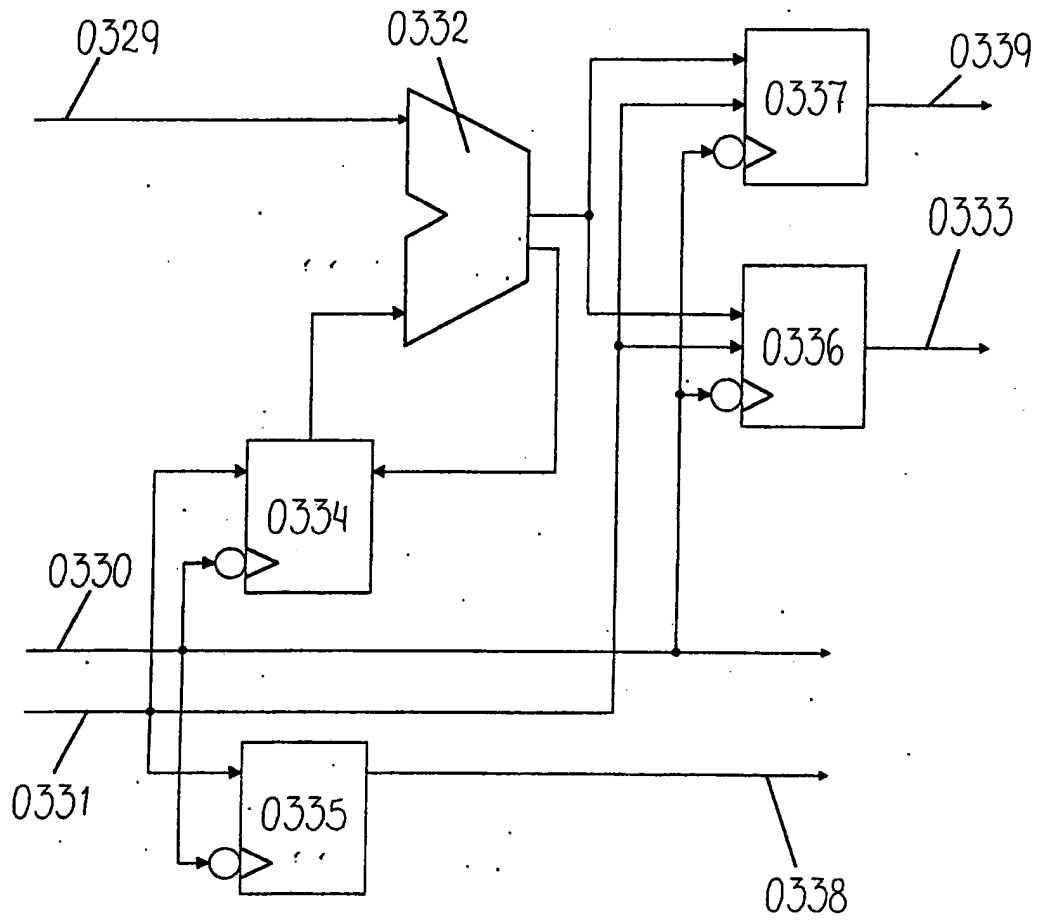
Figur 2



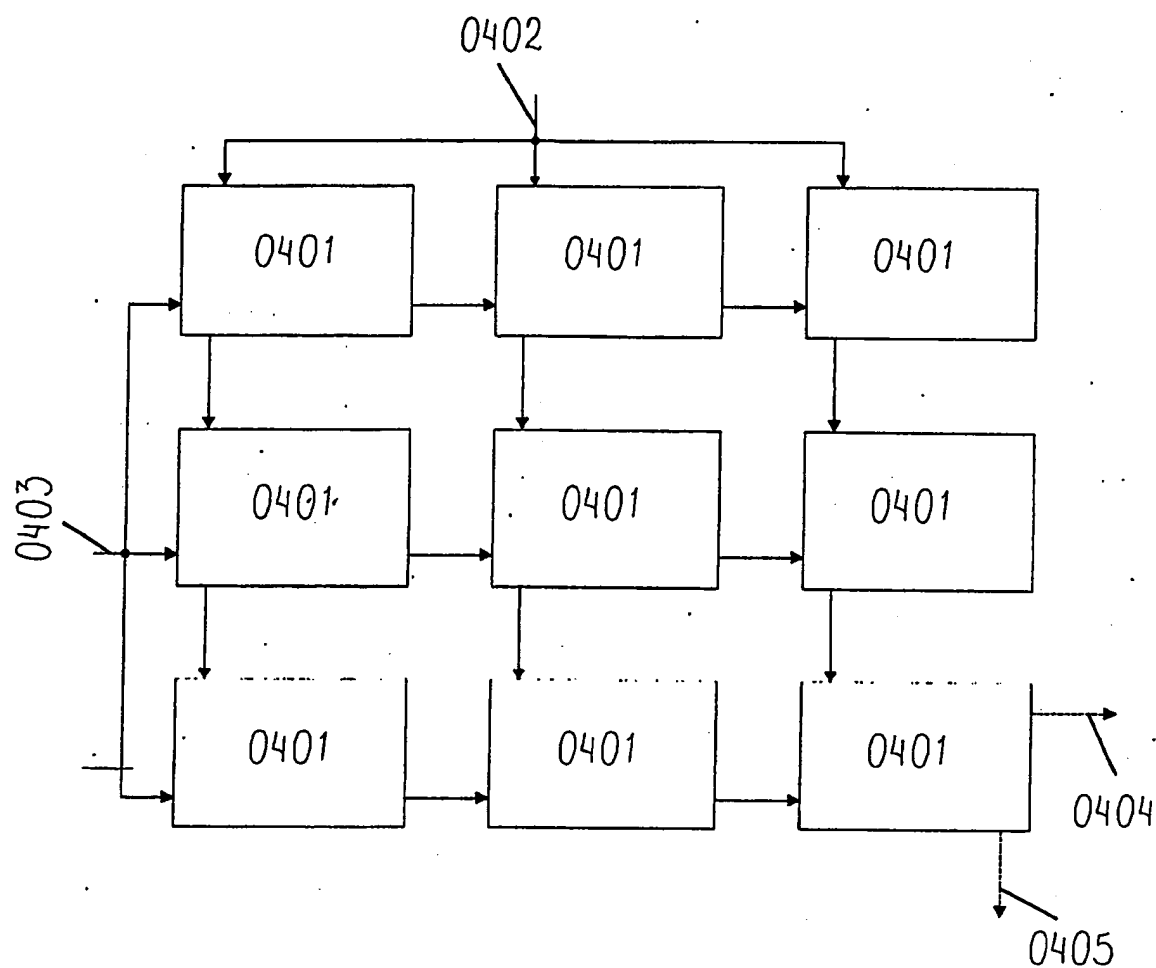
Figur 3a



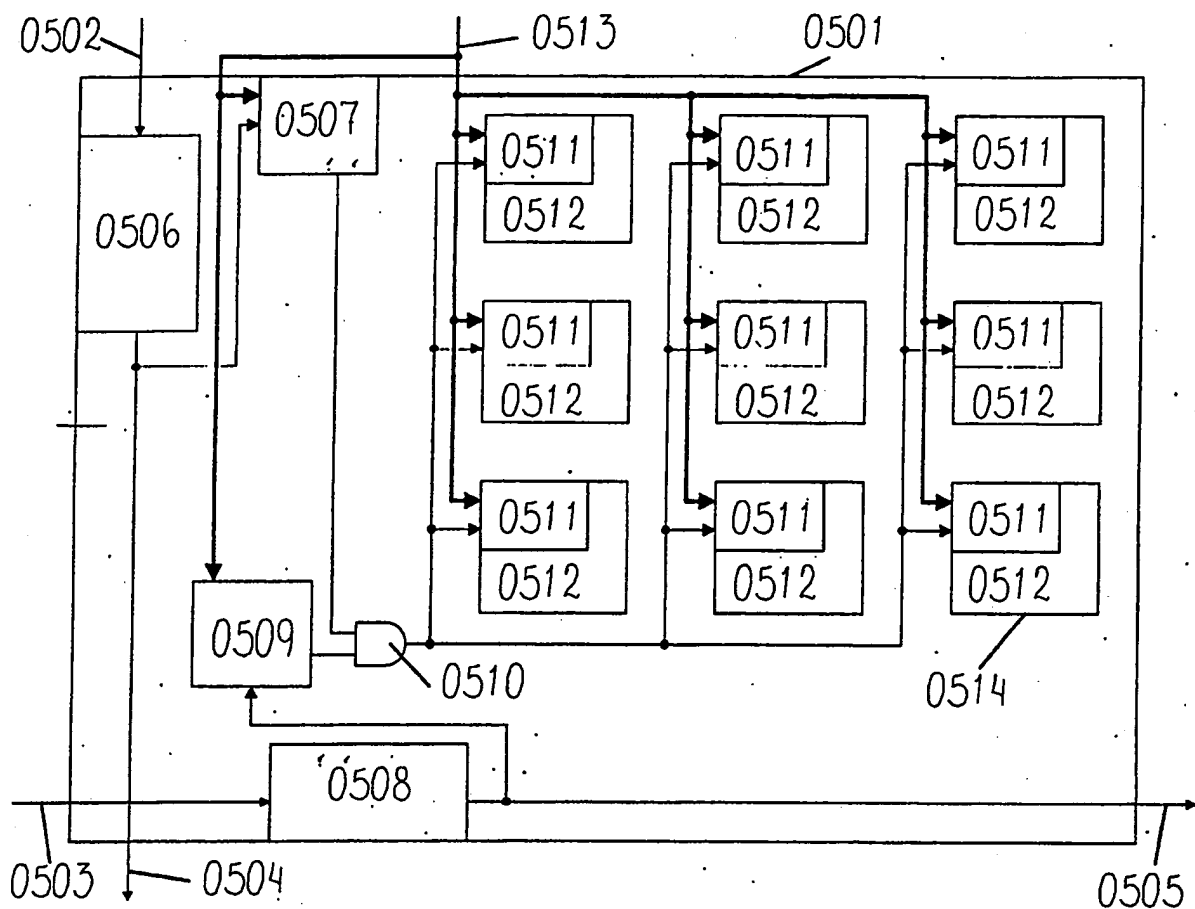
Figur 3b



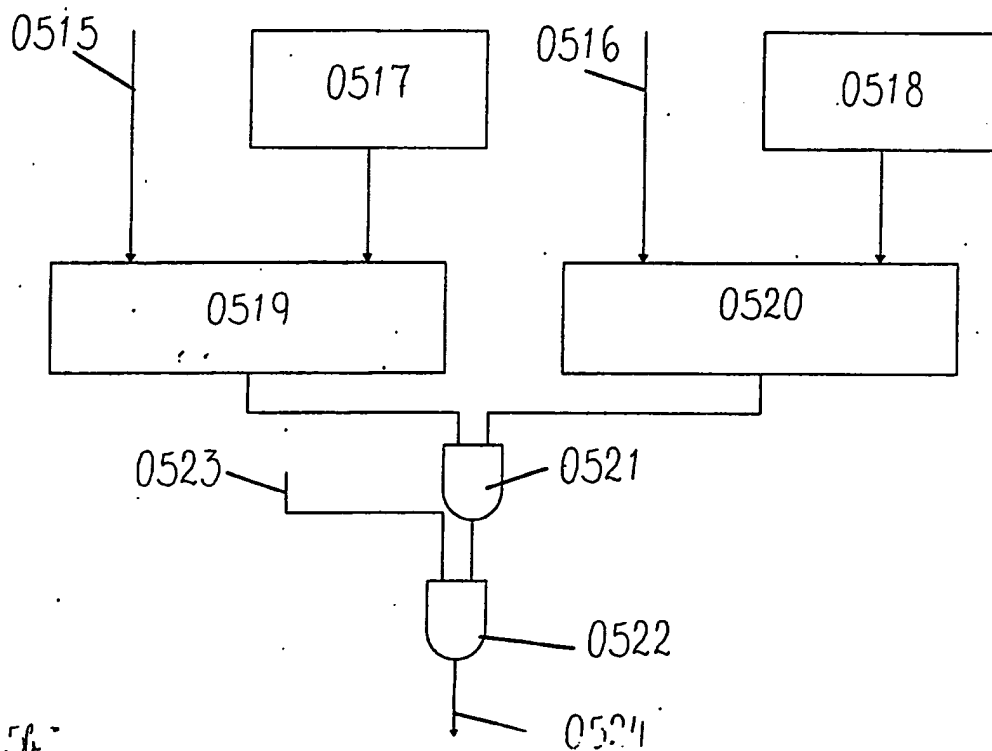
Figur 3c



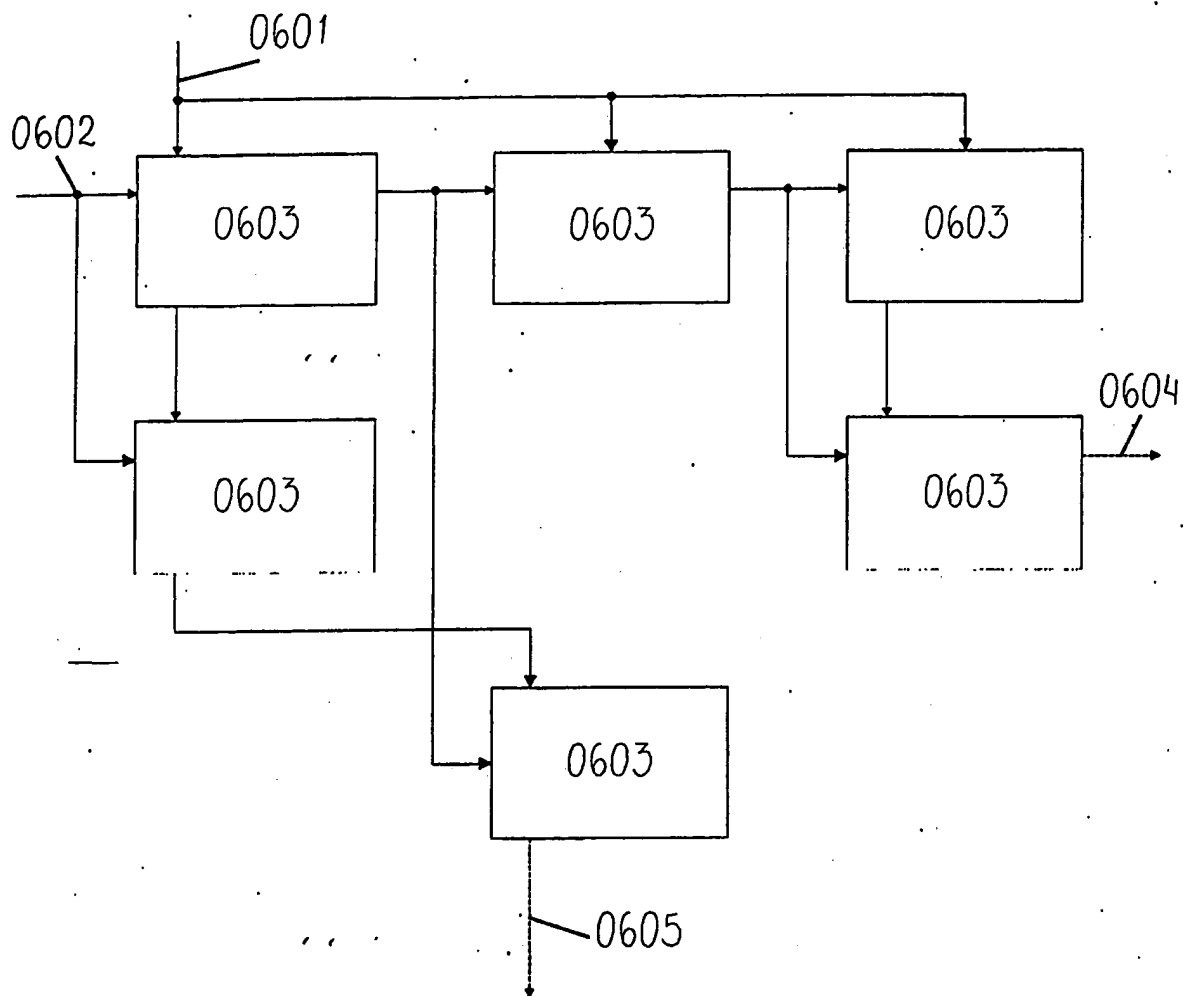
Figur 4



Figur 5a



Figur 5b



Figur 6



## Method for the automatic address generation of modules within clusters comprised of a plurality of these modules

Patent Number: US6038650  
 Publication date: 2000-03-14  
 Inventor(s): MUENCH ROBERT (DE); VORBACH MARTIN (DE)  
 Applicant(s): PACT INF TECH GMBH (DE)  
 Requested Patent: DE19704044  
 Application Number: US19970946999 19971008  
 Priority Number(s): DE19971004044 19970204  
 IPC Classification: G06F9/38  
 EC Classification: G06F15/78R  
 Equivalents:

### Abstract

A method of automatic address generation by units within clusters of a plurality of such units in which individual configurable elements of a unit can be addressed. It is thus possible to address the individual elements directly for reconfiguration. This is a prerequisite for being able to reconfigure parts of the unit by an external primary logic unit without having to change the entire configuration of the unit. In addition, the addresses for the individual elements of the units are automatically generated in the X and Y directions, so that the addressing scheme represents the actual arrangement of units and configurable elements. Furthermore, manual allocation of addresses is not necessary due to automatic address generation. In accordance with the present invention, a cluster is provided with a number of configurable units, each having two inputs for receiving the X address of the last element of the preceding unit in the X direction (row) and the Y address of the last element of the preceding unit in the Y direction (column) and having two outputs to relay to the next unit the position of the last element of the unit in the X direction and in the Y direction.

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

### Description

#### 1. BACKGROUND OF THE INVENTION

##### 1.1 Related Art

When programmable units (FPGAs, DPGAs, DFPs (according to German Patent 44 16 881 A1)), summarized below as "units" for the sake of simplicity, are combined into a cluster, there are two methods of performing the programming. A cluster is a multi-dimensional interconnected array of units or groups of units.

For each unit there is a primary logic unit (PLU) with the help of which the unit is programmed. In other words, a PLU addresses a unit of the cluster. This PLU may be designed as an EPROM or as a computer system. The data can be transmitted to the unit in a serial or parallel form. In parallel data transmission, the data in the unit is converted to a serial bit stream which configures the unit.

Only one PLU is available for all units of the cluster. The individual units are daisy-chained. Programming is accomplished by a serial bit stream. The PLU addresses only the first unit and the data is sent through a serial line to the units of the cluster. The data is passed as a bit stream through all the units of the cluster and thus configures their programmable elements. Here again, the configuration data can be transmitted in serial or parallel form. The PLU can again be embodied as an EPROM or as a computer system.

When using a computer system, there is the possibility of using the address lines for a chip select to address and configure individual units separately.

With a parallel computer, a fixed address by means of which addressing is performed is assigned to each of its processors.

##### 1.2 Problems

The previous methods of addressing a unit have a number of problems and weaknesses. Due to the method of addressing, the actual arrangement of units is not represented.

It is impossible to address a single element of any unit in the cluster to perform reconfiguration. Only a complete unit can be addressed, and it must be reconfigured as a whole.

Due to the fixed assignment of addresses to the individual processors of a parallel computer, there is a static assignment of addresses. In addition, a large amount of resources are needed in allocating addresses for the individual processors.

### 1.3 Improvement Through the Invention

Individual configurable elements of a unit can be addressed with the help of this invention. It is thus possible to address the individual elements directly for reconfiguration. This is a prerequisite for being able to reconfigure parts of the unit by an external PLU without having to change the entire configuration of the unit. In addition, the addresses for the individual elements of the units are automatically generated in the X and Y directions, so that the actual arrangement of units and configurable elements is represented. Manual allocation of addresses is not necessary due to automatic address generation.

The patent claims concern details and special embodiments as well as features of address generation according to this invention.

## 2. DESCRIPTION OF THE INVENTION

### 2.1 Review of the Invention; Abstract

A cluster contains a number of configurable units, each having two inputs for receiving the X address of the last element of the preceding unit in the X direction (row) and the Y address of the last element of the preceding unit in the Y direction (column) and having two outputs to relay to the next unit the position of the last element of the unit in the X direction and in the Y direction.

The origin of the coordinate system for this document is in the upper left corner of the cluster, so the X address increases toward the right and the Y address increases toward the lower edge. Of course, any other position can also be selected for the origin of the coordinate system.

Each of the units of the cluster contains a logic unit for calculation of the X and Y addresses of the last cell of the unit. This logic unit comprises a register for the X address and one for the Y address in which the maximum number of elements in the X and Y directions of the unit is stored and an adder which calculates the address of the last element of the unit in the X and Y directions and relays it over the two outputs. Each unit in turn contains a plurality of configurable elements which receive an allocated address and can be addressed with this address within the unit and the cluster. The address of the element is calculated from the address of the preceding element in the X and Y directions. This results in a linear address space in which all the elements of the units of the cluster can be addressed. The address of the preceding element can originate from an element of this unit or the preceding unit. To be able to address an element in a unit within a cluster, each element contains a comparator where a check is performed to determine whether an address arriving from the outside corresponds to the address of the element.

### 2.2 Detailed Description of the Invention

A number of configurable units are combined in a cluster. The configurable units are arranged in rows and columns. A number of configurable elements are contained in each individual unit.

Each unit of the cluster is connected by two buses to its neighbors in the rows and by two buses to its neighbors in the columns. One bus serves to receive the address data from the preceding neighbor and one bus serves to send data to the next neighbor. Over these lines, the X address (position within the row) of the last element of the preceding unit is transmitted in the X direction, and the Y address (position within the column) of the last element of the preceding unit is transmitted in the Y direction. This can be accomplished over a serial line or in parallel over multiple lines, the number of which will depend on the number of units in the cluster and the elements contained in the units.

A logic unit within the unit calculates the address of the last element of the unit in the X direction and the last element of the unit in the Y direction. To do so, the address of the last element in the X direction (Y direction) of the preceding unit is added by an adder to the number of elements in the x direction (Y direction) stored in a register. This yields the address which corresponds to the maximum extent of the elements in the X,Y direction within the unit. This address is retransmitted to the next unit. One register and one adder are needed per direction. The base address for the elements must be allocated to the units of the first column and the first row of the cluster by an external signal, because they do not have any direct predecessors there.

For the configurable elements in the units, an address is calculated from the address of the preceding element. This preceding element may be in the same unit or in the preceding unit. For transmission of the addresses, the elements are also linked together, like the units, by one or more lines. Here again, the address may be transmitted in the serial or parallel mode, as with the units. In the calculation of the address of the element, a one is added to the address of the preceding element in the X direction (Y direction). To be able to address an element, each element contains a

comparator which checks on whether the address of the element matches an address which is supplied internally or externally (by a PLU) and should address an element of a unit of the cluster for reconfiguration, etc. In this comparator, the X and Y addresses of the element are compared with the X and Y addresses applied for addressing. This is done in one comparator for each address or one comparator for both addresses at the same time. The outputs of the comparators are linked via an AND gate and form the enable signal for the configurable element. This means that the element is addressed only when the external address signal (from a PLU) matches the automatically generated address of the element.

It would obviously be possible to omit the logic unit for calculating the address of the last element in the X and Y directions. To do so, the address calculated by the last element in the X and Y directions would have to be brought out and retransmitted to the next unit.

In addition, it would also be conceivable to design the cluster not only in two dimensions (X and Y directions) but also to add a third direction (Z direction) or even more dimensions. Each unit then needs another register for each dimension in which the number of configurable elements of the unit in this dimension is stored, and another adder for each dimension to calculate the address of the last element in the X and Y directions within the unit in this dimension. This yields an N-dimensional array. Of course, these additional dimensions, except the Z direction, no longer have any physical representation, but instead they are described only by an expansion of the address space to N dimensions. The same expansion of the address space to N dimensions is also conceivable for the configurable elements within a unit.

### 3. BRIEF DESCRIPTION OF THE DIAGRAMS

- FIG. 1: a) Unit with automatic address generation  
 b) Logic unit for address generation with parallel input and output signals.  
 c) Logic unit for address generation with serial input and output signals.  
 d) Wiring of two successive logic units for address generation.  
 e) Signal characteristics of the data signal and enable signal in the wiring of two logic units for address generation.

FIG. 2: Unit with automatic address generation and several configurable elements.

- FIG. 3: a) Logic unit for address generation and addressing an element within a unit with parallel transmission of the address.  
 b) Logic unit for address generation and addressing an element within a unit with serial transmission.  
 c) Serial adder.

FIG. 4: Cluster of several units and their interconnection.

- FIG. 5: a) Unit with several configurable elements and an alternative type of addressing.  
 b) Logic unit for addressing an element within a unit with alternative addressing.

FIG. 6: Cluster with incomplete rows or columns.

### 4. DETAILED DESCRIPTION OF THE DIAGRAMS

FIG. 1a) shows a unit 0109 of a cluster. It receives the X position of the last element in the X direction from the preceding unit over connection 0101. The Y position is transmitted to the unit over connection 0102. The number of the elements in the X direction is stored in register 0105; then the address applied over connection 0101 is added to this number with the help of an adder 0106. A similar procedure is followed with the Y address. Register 0103 stores the number of elements of the unit in the Y direction and the address applied over connection 0102 is added to it in adder 0104. These two new automatically generated values form the X and Y base addresses of the next unit in the X and Y directions. They are available to the next unit over connection 0107 for the X address and 0108 for the Y address. Connections 0110 and 0111 serve to transmit the X and Y addresses within the unit to be available for calculation of the addresses of the configurable elements.

FIG. 1b) shows the logic unit with input and output signals transmitted in parallel to calculate the address of the last element in the X direction (Y direction) of the unit. The data on the number of configurable elements of the unit in the X direction (Y direction) is transmitted over bus 0112 from register 0114 to adder 0115, where the address of the last element of the preceding unit in the X direction (Y direction) is added 0113. The calculated address is retransmitted from adder 0115 to the next unit over bus 0116.

FIG. 1c) shows the logic unit for storage and calculation of the address with a serial input and output signal. The data on the address of the preceding unit in the X direction (Y direction) are transmitted serially over a line 0118. The clock signal of the unit is transmitted over line 0119. The serial data stream of line 0118 goes to adder 0124 which adds sequentially the number of elements stored in the unit. To do so, the number of elements, stored in register 0121, is loaded into shift register 0120 at the start. Shift register 0120 is in turn controlled by clock pulse 0119, so that it sends the individual bits of the address to adder 0124 over line 0118 in synchronization with the bits of the data stream. The

data of the shift register is advanced further with the positive clock pulse edge. The individual bits are added sequentially in adder 0124 and sent on to output flip-flop 0123, again sequentially. This data is transmitted to the next unit over line 0125. Flip-flop 0126 serves to store the carry-over from addition of the two bits, which must be taken into account again in addition of the next two bits. Output flip-flop 0123 and flip-flop 0126 accept data at the negative clock pulse edge. An enable signal is sent to flip-flops 0122, 0123, 0126 and shift register 0120 over connection 0117. Flip-flop 0122 receives the enable signal at the negative clock pulse edge and relays it to the next units over line 0127.

The data transmission takes place as follows. The data is entered over line 0118. At the same time, an enable signal having the same length as the transmitted data comes over line 0117. Then the new address is calculated in adder 0124 and transmitted to the next unit over flip-flop 0123. The enable signal is sent to the next unit over flip-flop 0122. As the data and the enable signal are received into the flip-flops with the negative edge of the clock pulse, these two signals go to the next unit delayed by a half clock pulse.

FIG. 1d) shows on the basis of a timing diagram how two logic units are wired for address generation. These logic units are each accommodated in a unit 0130. Both logic units have the same design comprising an adder 0134, 0140 with flip-flop 0131, 0142 for storage of the carry bit, an output flip-flop 0135, 0141, a flip-flop for receiving enable signal 0136, 0143, and a register in which the number of elements of the unit is stored, 0133, 0139, and a shift register 0132, 0138. The difference between the two logic units is that the flip-flops 0141, 0142, 0143 and shift register 0138 of the second logic unit are controlled with the other edge of the clock pulse than flip-flops 0131, 0135, 0136 and shift register 0132 of the first logic unit. As illustrated in the figure, this can be implemented by inverting each clock input of the flip-flops and the shift register or by inverting the clock signal. This ensures that the data is received correctly by the flip-flops and the shift registers.

In wiring several logic units (i.e., several configurable elements in succession), the edge of the clock pulse with which the data is accepted into the flip-flops and the shift registers is always alternated. This results in correct data transfer, and the data packet is passed through the units.

FIG. 1e) shows the signal characteristics of the data signal and the enable signal for the case of wiring multiple logic units. The signal CLK 0144 represents the clock signal of the unit. D1 0145 and E1 0146 are the data and enable signals at the input of the first logic unit. D2 0147 and E2 0148 are the data and enable signals at the output of the first logic unit. They are delayed by half a clock pulse in comparison with the signals at the input because they are accepted by the flip-flops and the shift register only at the trailing edge of the clock pulse (see FIG. 1d). At the same time, they form the input signals for the downstream logic unit for address calculation. They are delayed there again by a half clock pulse and go to the output where they form signals D3 0149 and E3 0150.

FIG. 2 shows a unit 0212 of a cluster with several configurable elements 0211. Each of these elements 0211 has configurable cells and elements 0210 used for configuration. In addition, each element 0211 contains a comparator according to PACT02 (FIG. 3: 0301) and a logic unit for calculating element address 0209, the comparator being responsible for decoding the address in access to an element. It is thus possible to address the individual elements of a unit. In addition, the unit contains a logic unit for automatic address generation 0207, which is performed as in FIG. 1. The Y address of the last element of the preceding unit in the Y direction goes to unit 0212 over bus 0201 and is processed further in the logic unit for automatic address generation 0207. This address is transmitted over connection 0205 to elements 0211 of the first row of the unit. Line 0203 serves to transmit the Y address of the last element of this unit in the Y direction to the next unit in the Y direction. The X address of the last element of the preceding unit in the X direction goes over connection 0202 to unit 0212 and is processed further in the logic unit for automatic address generation 0208. It is transmitted over connection 0206 to elements 0211 of the first column of unit 0212. Line 0204 serves to transmit the X address of the last element of this unit to the next unit.

The address of the element which is to be addressed for a reconfiguration, etc., goes to cells 0211 over bus 0213.

It would also be possible to omit the logic unit for automatic address generation 0207, 0208 in addressing. To do so, the Y address of the last element of the unit and the X address of the last element of the unit would have to be brought out to relay the address data to the next unit. These signals then replace signals 0203, 0204.

FIG. 3a) shows the layout of the comparator and address generation of elements 0211 from FIG. 2 in parallel transmission of the address data. In adder 0305 a one is added to the X address of the preceding element applied over connection 0302. This X address is compared in comparator 0309 with X address 0307 coming from the outside. In adder 0306, a one 0304 is added to the Y address of the preceding element applied over connection 0301. Then comparator 0310 compares this value with the Y address of the element being addressed, applied over connection 0308. Signal 0312 for activation of the element is generated via an AND gate 0311. Connection 0314 serves to transmit the calculated X address to the next element. The Y address is transmitted over connection 0313.

FIG. 3b) shows the architecture of the comparator and address generation of elements 0211 from FIG. 2 with serial transmission of the address data. For this purpose, a one is added serially to the serial bit stream of the address of the preceding element in the X direction 0315 in the logic unit for address generation 0317, and the address is stored in a shift register. The logic receives the clock signal of the unit through line 0327. The address is transmitted serially to the next element over line 0321. In comparator 0319, the address stored in 0317 is compared with the X address, applied

over line 0325, of the element to be addressed. The procedure takes place in a similar manner for the Y address. A one is added to Y address 0316, which has been transmitted serially in the Y direction from the preceding cell, in the logic unit for address generation 0318. The logic unit receives the clock signal of the unit over line 0328. The address is conveyed serially to the next element in the Y direction over connection 0322. In comparator 0320, the address stored in 0318 is compared with the Y address, applied over connection 0326, of the element to be addressed. The outputs of the two comparators 0319, 0322 are linked over an AND gate 0323 and form the enable signal 0324 for the configurable element.

FIG. 3c) shows the logic unit for address generation 0317, 0318 from FIG. 3b. The address goes over line 0329 to adder 0332. Flip-flop 0334 serves to store the carry-over which occurs in addition. It always accepts the carry-over with the negative edge of clock signal 0330. Furthermore, this flip-flop is initially set at one, so that a one is added with the addition of the first bit. The newly calculated address is sent to the next shift register 0337 and to the output flip-flop 0336, where it is accepted with the negative edge of the clock pulse. Shift register 0337 stores the individual bits, so that the address of the element is stored in the shift register at the end of the transmission. This is then retransmitted to the comparator over line 0339. The data of the address is sent serially to the next element over line 0333. Line 0331 transmits an enable signal to the flip-flops and the shift register. This enable signal runs in sync with the data signal, i.e., when data is transmitted, an enable signal is transmitted at the same time. The enable signal is accepted by flip-flop 0335 with the negative edge of the clock pulse and transmitted over line 0338 to the next element. The data transmission takes place as illustrated in FIG. 1c. Here again, when several logic units are connected in succession, the clock pulse or the clock inputs of the flip-flops and shift registers must be inverted with each subsequent logic unit, so the data is always accepted with the rising edge and the trailing edge in alternation.

FIG. 4 shows the wiring of several units 0401 to form a cluster. The Y base addresses of the units are initialized at the upper edge of the cluster over connection 0402. The X base addresses of the units at the left edge of the cluster are initialized over connection 0403. In parallel addressing, it is sufficient to apply the base addresses to the inputs. For addressing with serial data transmission, the data packet with the base address and an enable signal must be transmitted serially to the unit. The units inside the cluster are automatically allocated X and Y base addresses over the interconnections by the method illustrated in FIG. 1. Connections 0404 and 0405 serve to transmit the size of the cluster to external elements. Connection 0404 serves to transmit the size in the X direction, and the size of the cluster in the Y direction is transmitted over connection 0405.

FIG. 5a) shows the layout of a unit 0501 which contains a plurality of configurable elements 0514, containing configurable cells and cells used for configuration, plus a logic unit for automatic address generation 0506, 0508. Addressing of units 0501 and configurable elements 0514 takes place by an alternative method here. The address has the following structure:

---

X position X position Y position Y position  
of unit of element of unit of element

---

The data of the X and Y addresses is transmitted to unit 0501 through connections 0502, 0503. In addition, this data is also retransmitted to comparators 0507, 0509. Within unit 0501, the data is further processed by the logic unit for automatic address generation 0506, 0508. In this processing, a one is added to the address of unit 0501 in the X and Y directions, but the number of elements in the X and Y directions of unit 0501 is not added as in the preceding method of addressing. The data is retransmitted to the next unit over connections 0504, 0505. When an address is sent over line 0513, the address part that addresses the units is sent to comparators 0507, 0509. The part of the address that addresses elements 0514 is sent to elements 0514. Then the automatically generated unit address is compared in comparators 0507, 0509 with the unit address applied over line 0513, and in the event of a match, a signal is sent to AND gate 0510 which sends an enable signal to configurable elements 0514. Comparators 0511 of elements 0514 compare their address with the address applied over connection 0513 and activate it if they match and if there is an applied enable signal from comparators 0507, 0509 of the unit.

FIG. 5b) shows the logic unit for addressing an element (see comparator 0511) which is needed for the alternative addressing method. Connections 0515 and 0516 serve to transmit an X and Y address with the help of which an element is to be addressed. These two values are compared in comparators 0519 and 0520 with the X and Y addresses of the element stored in registers 0517 and 0518. The addresses of elements 0514 can of course also be generated in the manner described previously (see FIG. 3). The outputs of the two comparators 0519 and 0520 are linked via AND gate 0521. The output of AND gate 0521 is linked with enable signal 0523 of the comparators of the unit address (see FIG. 5a 0510) via an AND gate 0522 and forms enable signal 0524 for elements 0514 of unit 0501.

FIG. 6 shows a cluster of units 0603 whose columns and rows are not complete. Therefore, a slightly different wiring of units 0603 is necessary, as illustrated in this figure. Connections 0601 and 0602 serve to initialize the units of the first row and column because they do not have any predecessors in this direction. The extent of the cluster in the X and Y directions can be queried over connections 0604 and 0605.

## Claims

What is claimed is:

1. A method of dynamically generating addresses for a plurality of configurable units, each of the plurality of configurable units including a plurality of cells in a multi-dimensional arrangement, comprising the steps of: for each dimension of the multi-dimensional arrangement, receiving at an address input of a first unit of the plurality of configurable units a respective base address for a first cell of the plurality of cells of the first unit; determining cell addresses for the plurality of cells of the first unit as a function of the base address received for each dimension of the multi-dimensional arrangement; for each dimension of the multi-dimensional arrangement, determining a respective last address corresponding to a last cell of the configurable unit; for each dimension of the multi-dimensional arrangement, determining a respective next address as a function of the respective last address; and for each dimension of the multi-dimensional arrangement, providing the respective next address to a respective second unit of the plurality of configurable units via an address output of the first unit; wherein each respective next address is assigned as a base address for the respective second unit.
2. The method according to claim 1, wherein each respective second unit is adjacent to the first unit.
3. The method according to claim 1, wherein each respective next address is determined by incrementing the respective last address.
4. The method according to claim 1, wherein for each dimension of the multi-dimensional arrangement, each respective base address is received by a different address input of the first unit.
5. The method according to claim 1, wherein for each dimension of the multi-dimensional arrangement, each respective next address is provided to the respective second unit via a different address output.
6. The method according to claim 1, wherein the address input of the first unit includes a first parallel bus, and the address output of the first unit includes a second parallel bus.
7. The method according to claim 1, wherein the address input of the first unit includes a first serial bus, and the address output of the first unit includes a second serial bus.
8. The method according to claim 1, wherein each respective base address received by the first unit is relayed from a first cell of the plurality of cells of the first unit to a next cell of the plurality of cells of the plurality of cells of the first unit, the first cell incrementing each respective base address before relaying each respective base address to the next cell.
9. The method according to claim 8, wherein the last cell is connected to the address output, the last cell having the highest addresses for all dimensional of the multi-dimensional arrangement.
10. The method according to claim 8, wherein for each dimension of the multi-dimensional arrangement, an adder determines the next respective address as a function of a total number of the plurality of cells along the dimension and provides the next respective address to the address output.
11. The method according to claim 10, wherein the adder includes a parallel adder.
12. The method according to claim 10, wherein the adder includes a serial adder.
13. The method according to claim 1, wherein the first unit includes a primary logic unit, and each of the cell addresses is compared with a generated address provided by the primary logic unit using a comparator to establish access.
14. The method according to claim 1, wherein the plurality of configurable units are coupled in cascade, and wherein a linear address space is formed from the plurality of cells of each of the configurable units over the plurality of cascaded configurable units by linearly allocating the cell addresses over the plurality of cascaded configurable units.
15. The method according to claim 1, wherein no linear address space is formed from the plurality of cells over a group of cascaded units of the plurality of configurable units by assigning an offset address for each one of the plurality of configurable units and a linear address for each of the plurality of cells.
16. The method according to claim 1, wherein the multi-dimensional arrangement has two dimensions.

---

Data supplied from the sp@cenet database - I2